

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-029868

(43)Date of publication of application : 08.02.1988

(51)Int.Cl.

G06F 13/28

(21)Application number : 61-174503

(71)Applicant : NEC CORP

(22)Date of filing : 23.07.1986

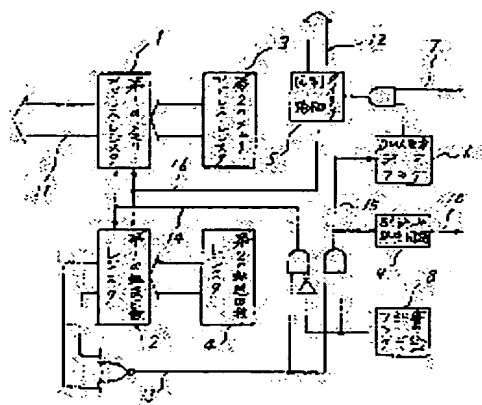
(72)Inventor : TOKUUME TAKAHIRO

(54) DMA CONTROLLER

(57)Abstract:

PURPOSE: To continuously execute DMA transfer to plural memory blocks as a series of operation by setting up information for data transfer in a 2nd register during the execution of DMA transfer based upon the contents of a 1st register.

CONSTITUTION: A microprocessor sets up the information of a memory block to which data are to be transferred in the 1st memory address register 1 and a 1st transfer frequency register 2 and sets up a DMA request permission flag 6 to make the memory block DMA transfer enabling state. At the time of input of a DMA request signal 7, a timing control circuit 5 is driven, DMA transfer is started and a memory address 11 and a control signal 12 are outputted to an external. At the time of starting the DMA transfer, a write permission flag 8 is set up and writing in a 2nd memory address register 3 and a 2nd transfer frequency register 4 is permitted. Consequently, the DMA transfer can be continuously executed during the input of the DMA request signal 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-29868

⑤ Int.Cl.⁴
G 06 F 13/28

識別記号
3 1 0

庁内整理番号
H-7165-5B

④ 公開 昭和63年(1988)2月8日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 DMAコントローラ

⑰ 特 願 昭61-174503

⑱ 出 願 昭61(1986)7月23日

⑲ 発 明 者 徳 梅 孝 啓 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

DMAコントローラ

2. 特許請求の範囲

データ伝送のために設定された情報を保持する第1のレジスタと、

次のデータ伝送のために設定される情報を保持する第2のレジスタと、

前記第1のレジスタに前記情報が設定されるとセットされるDMA要求許可フラグと、

該DMA要求許可フラグがセット状態のときに限り可能な前記第1のレジスタの内容に基づくデータ伝送が開始するとセットされ該セット状態のときに限り可能な前記第2のレジスタへの前記情報の設定が行われるとリセットされる書き込み許可フラグ

とを設け、前記第1のレジスタの内容に基づくデータ伝送が終了すると前記書き込み許可フラグ

の状態により、前記第2のレジスタの内容を前記第1のレジスタに転送し、前記DMA要求許可フラグをリセットし、またデータ伝送の終了を外部に報告するようにしたことを特徴とするDMAコントローラ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はダイレクト・メモリ・アクセス(DMA)コントローラ、特に、不連続な領域に配置された複数個のメモリ・ブロックに対するDMA転送を行なう機能を有するDMAコントローラに関する。

〔従来の技術〕

従来のこの種のDMAコントローラにおいては、不連続な領域に配置された複数個のメモリ・ブロックに対するDMA転送は、以下の手順に従って実行されていた。

(1) マイクロプロセッサはDMAコントローラに、データ転送の対象となるメモリ・ブロックの情報

(メモリ・アドレスと転送回数)を設定し、DMAコントローラを動作可能な状態とする。

(2)DMAコントローラはDMA転送を実行し、転送が終了するとマイクロプロセッサに割り込み要求を送出し、動作を停止する。

(3)マイクロプロセッサは、割り込み処理で、DMAコントローラに次のメモリ・ブロックの情報を設定し、再びDMAコントローラを実行可能な状態にする。

〔発明が解決しようとする問題点〕

上述した従来のDMAコントローラは、不連続な領域に配置された複数のメモリ・ブロックに対するDMA転送を実行する場合、データ転送の対象となるメモリ・ブロックに対するDMA転送が終了した後に次のメモリ・ブロックの情報を設定する必要があるため、その情報設定の間はDMA転送が実行できず、その結果、DMA転送の能力が低下するという欠点がある。

〔問題点を解決するための手段〕

本発明のDMAコントローラは、データ転送の

ために設定された情報を保持する第1のレジスタと、

次のデータ転送のために設定される情報を保持する第2のレジスタと、

第1のレジスタに上記情報が設定されるとセットされるDMA要求許可フラグと、

DMA要求許可フラグがセット状態のときに限り可能な第1のレジスタの内容に基づくデータ転送を開始するとセットされこのセット状態のときに限り可能な第2のレジスタへの上記情報の設定が行われるとリセットされる書き込み許可フラグ

とを設け、第1のレジスタの内容に基づくデータ転送が終了すると書き込み許可フラグの状態により、第2のレジスタの内容を第1のレジスタに転送し、DMA要求許可フラグをリセットし、またデータ転送の終了を外部に報告するようにしたことを特徴とする。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例のブロック図を示す。

第1図において、第1のメモリ・アドレス・レジスタ1と第1の転送回数レジスタ2は、現在実行中のDMA転送に関する情報を有しており、それぞれアップ・カウンタ、ダウン・カウンタとして動作する。第2のメモリ・アドレス・レジスタ3と第2の転送回数レジスタ4は第1のメモリ・アドレス・レジスタ1と第1の転送回数レジスタ2とによるDMA転送終了後に続いて実行されるDMA転送に関する情報を有している。

タイミング制御回路5はDMAコントローラの内部タイミングを制御し、DMA要求許可フラグ6は、DMA要求信号7を有効化するか無効化するかの制御を行なうフラグで、マイクロプロセッサからの命令やDMAコントローラの内部状態によってセットまたはリセットされる。

書き込み許可フラグ8は第2のメモリ・アドレス・レジスタ3と第2の転送回数レジスタ4に情報が書き込まれていることを示すフラグで、第2のメモリ・アドレス・レジスタ3と第2の転送回数レジスタ4に対する書き込み動作やDMAコン

トローラの内部状態によってセットまたはリセットされる。また、このフラグはマイクロプロセッサによって読み出すことができる。割り込み発生回路9はDMA転送の終了をマイクロプロセッサに伝えるために割り込み要求信号10を発生させる回路である。

次に本実施例の動作を説明する。

(1)マイクロプロセッサは、第1のメモリ・アドレス・レジスタ1と第1の転送回数レジスタ2に、データ転送の対象となるメモリ・ブロックの情報を設定し、DMA要求許可フラグ6をセットしDMA転送が実行可能な状態とする。

(2)DMA要求信号7が入力すると、タイミング制御回路5が動作し、DMA転送が開始され、メモリ・アドレス11や制御信号12が外部に出力される。1回のDMA転送が実行されると第1のメモリ・アドレス・レジスタ1と第1の転送回数レジスタ2はそれぞれ+1および-1される。また、DMA転送が開始されると書き込み許可フラグ8がセットされ、第2のメモリ・アドレス・

レジスタ3と第2の転送回数レジスタ4に対する書き込みが許可される。

(3) DMA転送はDMA要求信号7が入力されている間、連続して実行され、この間にマイクロプロセッサは書き込み許可フラグ8をモニタして第2のメモリ・アドレス・レジスタ3と第2の転送回数レジスタ4に次のメモリ・ブロックの情報を設定することができる。情報が設定されると書き込み許可フラグ8はリセットされる。

(4)現在実行中のDMA転送は第1の転送回数レジスタ2の内容が0になることで終了するが、その時の書き込み許可フラグ8の状態によって、以降の動作が異なる。

(4.1)書き込み許可フラグ8がリセットされている場合

この場合は、第2のメモリ・アドレス・レジスタ3と第2の転送回数レジスタ4に次のメモリ・ブロックの情報が設定されているので、次のメモリ・ブロックに対するDMA転送を引き続き実行する。すなわち、転送終了信号13が発生すると

み要求信号10が発生し、マイクロプロセッサに転送の終了を伝達する。

〔発明の効果〕

以上説明したように本発明のDMAコントローラは、第1のレジスタの内容によるDMA転送を実行中に第2のレジスタにデータ転送のための情報を設定しておく、第1のレジスタの内容によるDMA転送が終了した後に第2のレジスタの内容によるDMA転送が引き続いて実行されるので、不連続な領域に配置された複数個のメモリ・ブロックに対するDMA転送を実行する場合に、DMAコントローラへの情報設定のためにDMA転送を禁止する必要がなくなり、複数個のメモリ・ブロックに対するDMA転送を一連の動作として連続して実行できるようになるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図である。

1……第1のメモリ・アドレス・レジスタ、2

ロード信号14が第1のメモリ・アドレス・レジスタ1と第1の転送回数レジスタ2に送出され、それぞれに第2のメモリ・アドレス・レジスタ3と第2の転送回数レジスタ4の内容が設定される。さらに、DMA要求許可フラグ6はセットされたままであるので、DMA要求信号7が入力されると次のメモリ・ブロックに対するDMA転送が自動的に実行される。また、この場合は、割り込み要求信号10は発生しない。

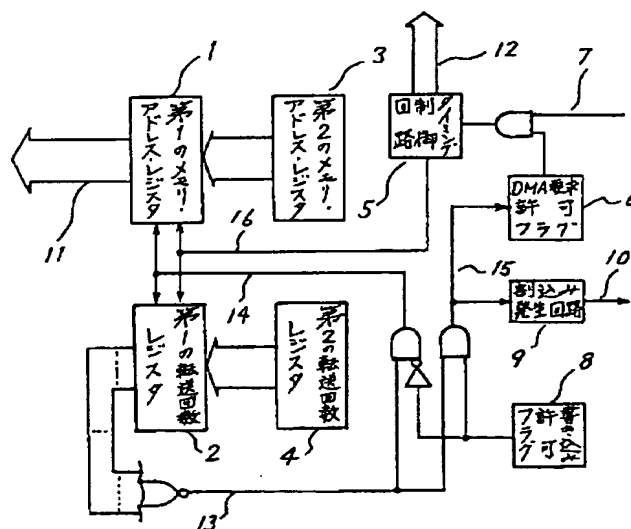
(4.2)書き込み許可フラグ8がセットされている場合

この場合は、第2のメモリ・アドレス・レジスタ3と第2の転送回数レジスタ4に次のメモリ・ブロックの情報が設定されていないので、DMA転送を終了する。すなわち、転送終了信号13が発生すると、停止信号15が、DMA要求許可フラグ6に送出され、DMA要求許可フラグ6がリセットされ、以降、DMA要求信号7を受け付けなくなりDMA動作が停止する。さらに停止信号14は割り込み発生回路9にも送出され、割り込

……第1の転送回数レジスタ、3……第2のメモリ・アドレス・レジスタ、4……第2の転送回数レジスタ、5……タイミング制御回路、6……DMA要求許可フラグ、7……DMA要求信号、8……書き込み許可フラグ、9……割り込み発生回路、10……割り込み要求信号、11……メモリ・アドレス、12……制御信号、13……転送終了信号、14……ロード信号、15……停止信号、16……レジスタ更新信号。

代理人 弁理士 内 原 晋





第 1 図